

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-062474
(43)Date of publication of application : 12.03.1993

(51)Int.CI.
G11C 11/412
G11C 11/41
G11C 11/417
H01L 27/10

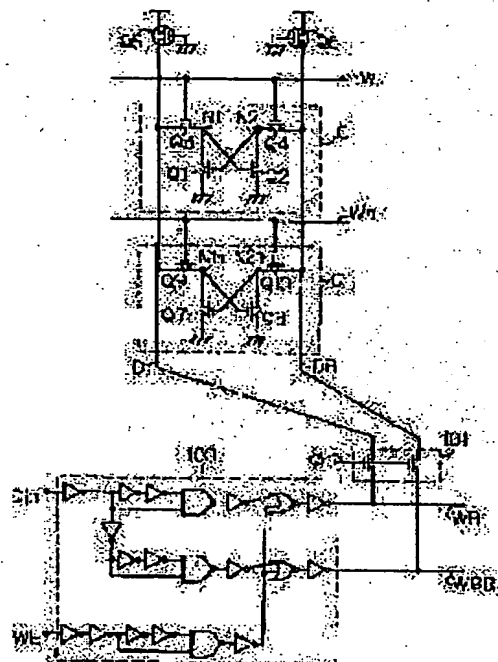
(21)Application number : 03-244405 (71)Applicant : NEC CORP
(22)Date of filing : 29.08.1991 (72)Inventor : KONDO KENJI

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To reduce an occupancy area on the semiconductor substrate of a statistic type memory cell.

CONSTITUTION: Each memory cell C1, and Cn is respectively constituted of a pair of transfer gate transistors Q3, Q4, Q9, and Q10, and a pair of driver transistors Q1, Q2, Q7, and Q8, and the transfer gate transistors are thin film transistors. The sub-threshold leak currents of the thin film transistors flow in storage nodes N1, N2, N1n, and N2n, so that a pair of storage nodes can hold a voltage difference. Thus, data can be held without supplying currents from a power source by providing a load transistor at each memory cell.



LEGAL STATUS

[Date of request for examination] 14.07.1995
[Date of sending the examiner's decision of rejection] 09.02.1999
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-62474

(43)公開日 平成5年(1993)3月12日

(51)Int.Cl.⁵

G11C 11/412
11/41
11/417

識別記号

庁内整理番号

F I

技術表示箇所

7323-5L
7323-5L

G11C 11/40 301
11/34 L

審査請求 未請求 請求項の数3(全5頁) 最終頁に続く

(21)出願番号 特願平3-244405

(22)出願日 平成3年(1991)8月29日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 近藤 賢司

東京都港区芝五丁目7番1号 日本電気株式会社内

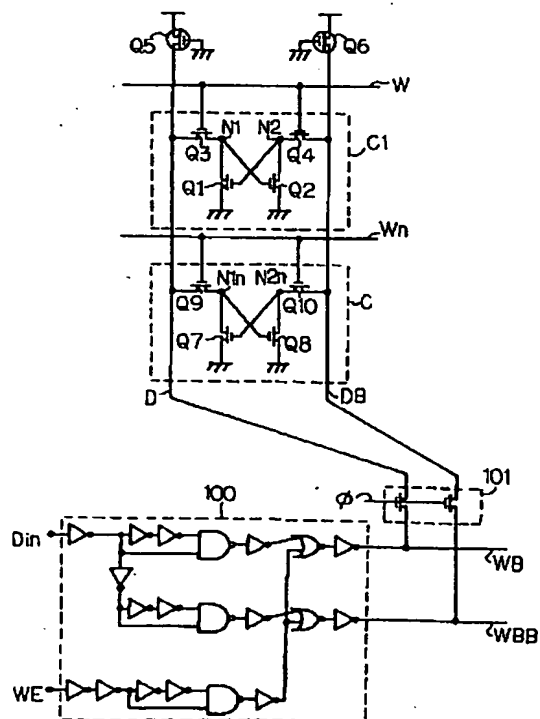
(74)代理人 弁理士 桑井 清一

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【目的】 本発明の目的はスタティック型メモリセルの半導体基板上の占有面積を減少させることである。

【構成】 各メモリセルC1、Cnは1対のトランスファークラークトランジスタQ3、Q4、Q9、Q10と、1対のドライバートランジスタQ1、Q2、Q7、Q8で構成されておりトランスファークラークトランジスタは薄膜トランジスタである。薄膜トランジスタのサブスレッショルドリーク電流が記憶ノードN1、N2、N1n、N2nに流入するので、1対の記憶ノードは電圧差を維持でき、各メモリセル毎に負荷トランジスタを設けて電源から電流を供給しなくてもデータを保持できる。



【特許請求の範囲】

【請求項1】 半導体基板に形成された複数のメモリセルと、該メモリセルに接続されたデータ線対と、選択されたデータ線対に入力データビットに対応した電圧差を供給する書き込み制御回路とを備えた半導体メモリ装置において、上記各メモリセルは、半導体基板中に形成されたソース/ドレイン領域を有するバルクトランジスタで構成され上記データ線対と1対の記憶ノードとの間に接続されワード線で制御される1対のトランスファークラップトランジスタと、半導体基板上方に形成された半導体中に形成されたソース/ドレイン領域を有する薄膜トランジスタで構成され上記1対の記憶ノードの一方と他方と固定電源との間にそれぞれ接続され上記1対の記憶ノードの他方と一方とでそれぞれ制御される1対のドライバートランジスタとを備えたことを特徴とする半導体メモリ装置。

【請求項2】 上記データ線対は負荷素子を介して他の固定電圧源に接続されている請求項1記載の半導体メモリ装置。

【請求項3】 上記書き込み制御回路は書き込みインエーブル信号の遷移と入力データ信号の遷移とを検出し、入力データ信号の遷移時に選択されたデータ線対を一定時間後に上記他の固定電圧源の電圧にプリチャージする手段を有する請求項2記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体メモリ装置に関し、特に、スタティック型ランダムアクセスメモリ装置（以下、SRAM）のメモリセルに関する。

【0002】

【従来の技術】 従来のSRAMに含まれているメモリセルは、1対の負荷素子と、1対のドライバートランジスタと、1対のトランスファークラップトランジスタで構成されており、図3にかかるSRAMのメモリセルの典型例を示す。図中、Q3、Q4は1対のトランスファークラップトランジスタ、Q1、Q2は1対のドライバートランジスタ、L1、L2は1対の負荷素子、WはトランスファークラップトランジスタQ3、Q4を活性化するワード線、D、DBは記憶ノードN1、N2にトランスファークラップトランジスタQ3、Q4を介して接続するデータ線対である。一般に、メモリセルを構成するトランジスタQ1、Q2、Q3、Q4は半導体基板内のPウェルに形成されたNチャネル型バルクトランジスタで構成されている。

【0003】 次に従来のSRAM用メモリセルの動作を説明する。以下の説明では、記憶ノードN1、N2がそれぞれ高レベルと低レベルの時データ“1”とする。この時、ドライバートランジスタQ2は、そのゲートに記憶ノードN1から高レベルの供給を受けオンとなり、記憶ノードN2の電位は低レベルになる。一方、ドライバートランジスタQ1は、そのゲートに記憶ノードN2から低

レベルを受けてオフとなり、記憶ノードN1の高レベルを維持し、データ“1”が保持される。

【0004】 また、負荷素子L1は、記憶ノードN1がトランジスタQ1及びQ3のドレインもしくは、ソースの拡散層で形成されているため、記憶ノードN1から半導体基板へのリーク電流やドライバートランジスタQ1のサブスレッショルドリーク電流により、記憶ノードN1の電位が高レベルから低下するのを防ぐことを目的としている。

【0005】 上述と反対に記憶ノードN1、N2がそれぞれ低レベルと高レベルの場合には、ドライバートランジスタN1、N2のオン/オフが上述と逆になりメモリセルにデータ“0”が保持される。

【0006】

【発明が解決しようとする課題】 近年、SRAMの集積度が進み、各メモリセルの占有面積を減少させなければならず、上述の4つのバルクトランジスタQ1～Q4と2つの負荷素子L1、L2で構成される6素子型メモリセルは、その占有面積をバルクトランジスタQ1～Q4の最小寸法で決まるため、微細加工技術により決定されていた。しかしながら、現在、この高集積化の要求に、微細加工技術が十分応じきれていないため、高密度化にともないメモリセルアレイの占める面積が増大していくのが現状である。その結果、SRAMを形成する半導体チップの寸法が大きくなり、製造歩留りの低下や、パッケージの大型化という問題点があった。

【0007】

【課題を解決するための手段】 本発明の要旨は半導体基板に形成された複数のメモリセルと、該メモリセルに接続されたデータ線対と、選択されたデータ線対に入力データビットに対応した電圧差を供給する書き込み制御回路とを備えた半導体メモリ装置において、上記各メモリセルは、半導体基板中に形成されたソース/ドレイン領域を有するバルクトランジスタで構成され上記データ線対と1対の記憶ノードとの間に接続されワード線で制御される1対のトランスファークラップトランジスタと、半導体基板上方に形成された半導体中に形成されたソース/ドレイン領域を有する薄膜トランジスタで構成され上記1対の記憶ノードの一方と他方と固定電源との間にそれぞれ接続され上記1対の記憶ノードの他方と一方とでそれぞれ制御される1対のドライバートランジスタとを備えたことである。

【0008】

【発明の作用】 上記構成によると、薄膜トランジスタのサブスレッショルドリーク電流が記憶ノードに電流を供給し、1対の記憶ノード間に電圧差を発生すべくドライバートランジスタのゲートを制御する。

【0009】

【実施例】 次に本発明の実施例について図面を参照して説明する。図1は本発明の一実施例に係るSRAMの回

路図である。図中Q1, Q2, Q7, Q8はメモリセルC1, Cnを構成するドライバートランジスタであり、半導体基板中にバルクトランジスタとして構成されており、Q3, Q4, Q9, Q10はトランスファークゲートトランジスタであり、バルクトランジスタ上方に薄膜トランジスタ(TFT)として構成されている。QS, QLはデータ線対D, DBに電流を供給する負荷素子であり、W, Wnはワード線である。データビットは記憶ノードN1, N2, N1n, N2nに電位差として記憶され、入力データDinは書き込みイネーブル信号WEの印加時に書き込み制御回路100によりデータ線対D, DBに電圧差として供給される。書き込み制御回路100とデータ線対D, DBとの間には、トランスファークゲート101が介在しており、制御信号φに応答して書き込み制御回路100をいずれかのデータ線対D, DBに接続する。

【0010】図2は図1に示すSRAMの動作を示す波形図である。以下、動作を説明する。ワード線W, Wnが低レベルで、メモリセルC1, Cnが非選択の時は、データ線対D, DBは負荷素子Q5, Q6により電源電位となっている。またメモリセルC1, Cn内の記憶ノードN1, N2, N1n, N2nのいずれか一方が高レベル、他方が低レベルである。メモリセルC1, Cn内の高レベルを保持する記憶ノードは、リーク電流によって電圧低下しようとするが、トランスファークゲートトランジスタQ3, Q4, Q9, Q10のサブスレッショルドリーク電流が電源電位となっているデータ線対D, DBから高レベルを維持できるように供給され、高レベルを保持する。

【0011】現在チャネル長 $1 \sim 0.8 \mu\text{m}$ 、チャネル幅 $2 \sim 3 \mu\text{m}$ のN型バルクトランジスタのオン状態の内部抵抗を R_{on1} 、オフ状態の内部抵抗を R_{off1} とすると、その比は $R_{on1} : R_{off1} = 1 : 1 \times 10^4$ 程度となる。そして上記バルクトランジスタをドライバートランジスタとして構成したメモリセルの記憶ノードN1, N2のリーク電流は数pA程度である。これに比べ、現状の薄膜トランジスタのオン状態の内部抵抗を R_{on2} 、オフ状態の内部抵抗 R_{off2} とすると、その比は $R_{on2} : R_{off2} = 1 : 1 \times 10^6$ 程度である。したがって、トランスファークゲートトランジスタQ3, Q4, Q9, Q10として薄膜トランジスタを用い、そのオン状態の電流能力を $100 \sim 150 \mu\text{A}$ 程度に設定すれば、そのオフ時のサブスレッショルドリーク電流は、 $100 \sim 150 \text{ pA}$ となり、記憶ノードN1, N2のリーク電流を上回り、記憶ノードN1もしくはN2を高レベルに保持できる。

【0012】次に、図1に示されたSRAMが書き込み動作時に選択されたデータ線対D, DBに接続された非選択のメモリセルについて説明する。制御信号φ1が高レベルとなりデータ線対D, DBが選択され、高レベルの入力データDinが入力されるとする。書き込みイネーブル信号WEが低レベル(時刻 t_1)となると、ライトバス線対WB, WBBの一方の信号線WBBが図2に示

すように低レベルとなり、それにともないデータ線対D, DBの一方、DBがある一定時間T1の間低レベルとなる。

【0013】メモリセルC1を非選択、メモリセルCnを選択とし、データ“0”がそれぞれ保存されているとすると、メモリセルC1の記憶ノードN1は低レベル、記憶ノードN2は高レベルとなっている。ここで前述したようにデータ線DBが低レベルとなると、記憶ノードN2の高レベルは薄膜トランジスタで構成されたトランスファークゲートトランジスタQ4のサブスレッショルドリークにより、レベルが低下し始める。しかしながら、DBが低レベルとなる期間T1は、選択されたメモリセルCnの記憶ノードN2nの高レベルが低レベルに移移するのに必要な最小時間でよい。この時、トランスファークゲートトランジスタQ4はワード線Wが低レベルであるからオフ、トランスファークゲートトランジスタQ10はワード線Wnが高レベルであるからオン状態である。

【0014】薄膜トランジスタのオン/オフ状態の抵抗比は、前述したように $R_{on} : R_{off} = 1 : 1 \times 10^6$ 程度であるから、記憶ノードN2, N2nの高レベルが低レベルへ遷移する時間はそれぞれ記憶ノードN2, N2nの静電容量Cnと、トランスファークゲートトランジスタQ4, Q10の抵抗 R_{Q4} , R_{Q10} の積CRによって決まる。ここで $Cn \cdot R_{Q4}$ と $Cn \cdot R_{Q10}$ を比較すると、前述したように $R_{Q4} : R_{Q10} = 1 \times 10^4 : 1$ なので、 $Cn \cdot R_{Q4} : Cn \cdot R_{Q10} = 1 \times 10^4 : 1$ 程度の差となり、データ線DBが低レベルとなる期間T1を記憶ノードN2nが高レベルから低レベルへ遷移する必要最小時間に設定することにより、非選択メモリセルC1の高レベル側記憶ノードN2はデータ線DBが低レベルに移行する影響をほとんど受けず、データ“0”を保持できる。

【0015】

【発明の効果】以上説明したように本発明は、メモリセルのドライバートランジスタをバルクトランジスタで、トランスファークゲートトランジスタを薄膜トランジスタで構成し、データ線対に負荷素子を介して電源電圧に接続したので、メモリセルを3次元的に構成でき、各メモリセルの占有する半導体基板上の面積を減少させることができるという効果を得られる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】一実施例の動作を示す波形図である。

【図3】従来例を示す回路図である。

【符号の説明】

C1, Cn メモリセル
Q1, Q2, Q7, Q8 ドライバートランジスタ
Q3, Q4, Q9, Q10 トランスファークゲートトランジスタ
N1, N2, N1n, N2n 記憶ノード
D, DB データ線対

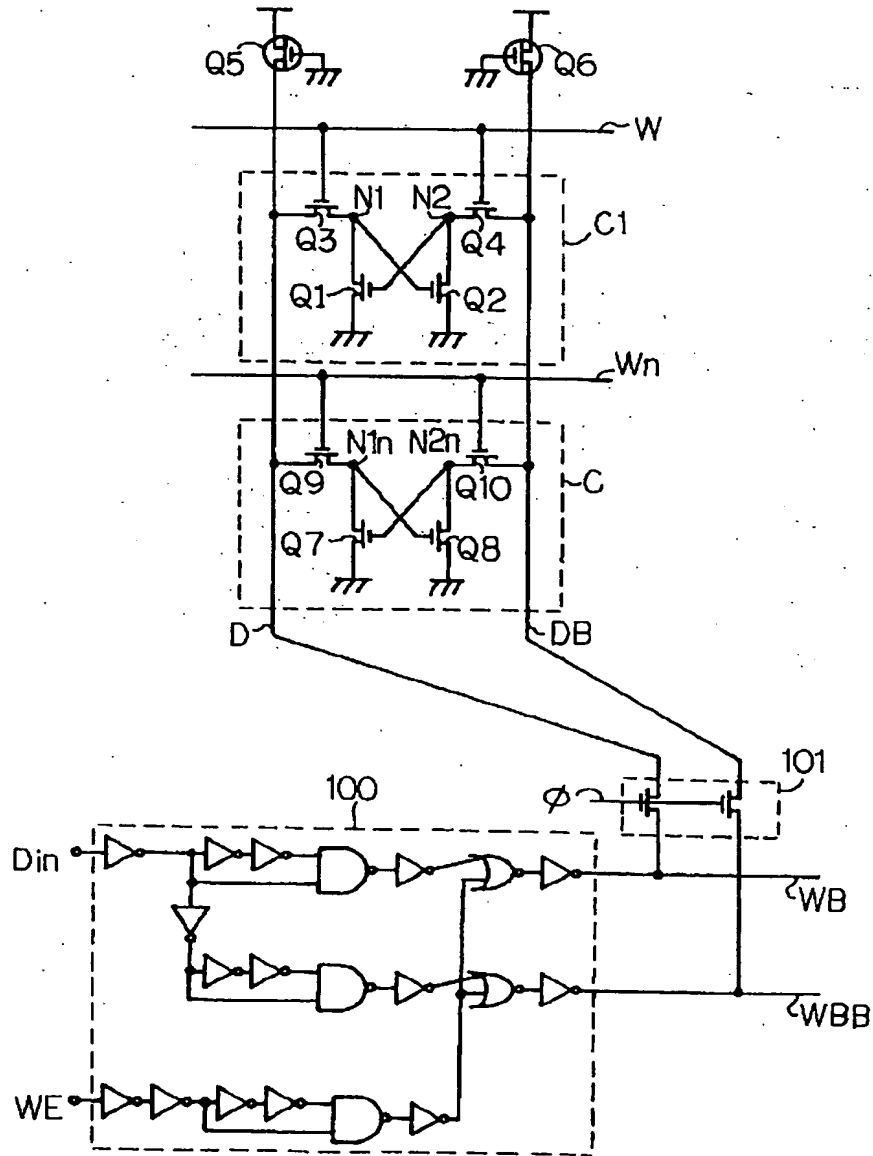
(4)

特開平5-62474

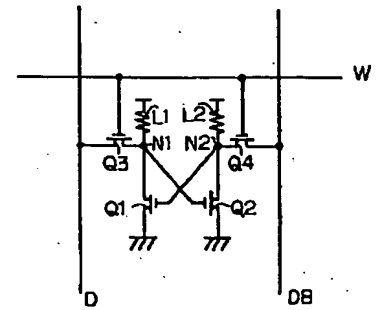
W, Wn ワード線

100 書き込み制御回路

【図1】



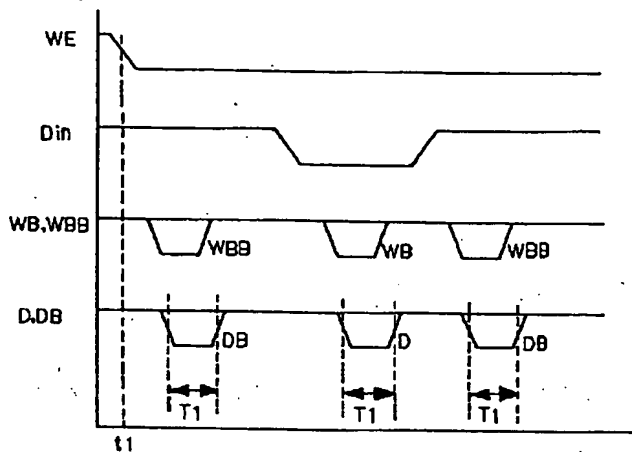
【図3】



(5)

特開平5-62474

【図2】



フロントページの続き

(51)Int.Cl.⁵

H01L 27/10

識別記号

371

庁内整理番号

8728-4M

7323-5L

FI

G11C 11/34

技術表示箇所

305